

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年10月31日
Date of Application:

出願番号 特願2003-373114
Application Number:

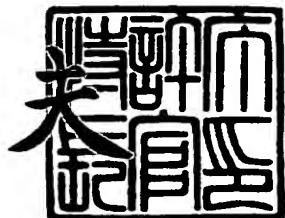
[ST. 10/C] : [JP2003-373114]

出願人 株式会社デンソー
Applicant(s):

2003年12月 8日

特許庁長官
Commissioner,
Japan Patent Office

今井康



【書類名】 特許願
【整理番号】 IP08438
【提出日】 平成15年10月31日
【あて先】 特許庁長官殿
【国際特許分類】 G03F 3/00
【発明者】
 【住所又は居所】 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内
 【氏名】 土谷 直矢
【発明者】
 【住所又は居所】 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内
 【氏名】 安部 博文
【発明者】
 【住所又は居所】 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内
 【氏名】 奥田 勝一
【特許出願人】
 【識別番号】 000004260
 【氏名又は名称】 株式会社デンソー
【代理人】
 【識別番号】 100100022
 【弁理士】
 【氏名又は名称】 伊藤 洋二
 【電話番号】 052-565-9911
【選任した代理人】
 【識別番号】 100108198
 【弁理士】
 【氏名又は名称】 三浦 高広
 【電話番号】 052-565-9911
【選任した代理人】
 【識別番号】 100111578
 【弁理士】
 【氏名又は名称】 水野 史博
 【電話番号】 052-565-9911
【先の出願に基づく優先権主張】
 【出願番号】 特願2003- 33589
 【出願日】 平成15年 2月12日
【手数料の表示】
 【予納台帳番号】 038287
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9300006
 【包括委任状番号】 9701008
 【包括委任状番号】 9905390

【書類名】特許請求の範囲

【請求項 1】

差動増幅回路（10）と出力回路（20）とを備えた演算増幅回路において、

前記差動増幅回路（10）は、

反転入力端子（IN-）から入力信号が入力される第1の入力段トランジスタ回路（111、113）と、

反転入力端子（IN+）から入力信号が入力される第2の入力段トランジスタ回路（112、114）と、

前記第1、第2の入力段トランジスタ回路（111、113、112、114）にそれぞれ接続され、カレントミラー回路を構成する第3、第4のトランジスタ（117、118）と、

前記第1の入力段トランジスタ回路（111、113）と前記第3のトランジスタ（117）の接続点に接続された第5のトランジスタ（115）と、

前記第2の入力段トランジスタ回路（112、114）と前記第4のトランジスタ（118）の接続点に接続された第6のトランジスタ（116）と、

前記第1、第2の入力段トランジスタ回路（111、113、112、114）に電流（I2）を供給するととともに、前記第5、第6のトランジスタ（115、116）のそれぞれに電流（I1、I3）を供給する電流供給回路（101）とを備え、

前記第6のトランジスタ（116）に流れる電流（I3'）が、前記第5のトランジスタ（115）に流れる電流（I1）に対し、前記第3、第4のトランジスタ（117、118）の電流増幅率の比（hFE1.8/hFE1.7）と前記第5、第6のトランジスタ（115、116）の電流増幅率の比（hFE1.6/hFE1.5）の積に比例するように構成されており、

前記出力回路（20）は、

前記電流供給回路（101）から前記第6の電流供給用トランジスタ（116）に供給する電流（I3）と前記第6の電流供給用トランジスタ（116）に流れる電流（I3'）の関係により、ローレベルとハイレベルのいずれかの論理レベルの出力を行うように構成されており、

前記電流供給回路（101）は、前記第1、第2の入力段トランジスタ回路（111、113、112、114）に電流（I2）が供給できなくなったときに、前記第5、第6のトランジスタ（115、116）の一方で供給する電流が増加し、他方に供給する電流が変化しないように構成されたものであることを特徴とする演算増幅回路。

【請求項 2】

前記電流供給回路（101）は、前記第1、第2の入力段トランジスタ回路（111、113、112、114）に接続された第1のコレクタと、前記第5、第6のトランジスタ（115、116）の一方で接続された第2のコレクタと、前記第5、第6のトランジスタ（115、116）の他方に接続された第3のコレクタとを備え、前記第1のコレクタから電流が供給できなくなったときにエミッタに流れる電流の一部が前記第2のコレクタに流れるように構成されたマルチコレクタトランジスタ（101）であることを特徴とする請求項1に記載の演算増幅回路。

【請求項 3】

温度変化に応じて出力電圧（VF）が変化する温度検出手段（303）と、

所定の閾値電圧を発生する閾値電圧発生手段（305）と、

前記温度検出手段の出力電圧（VF）と閾値電圧（Vth）とを比較する比較手段（304）と、を備えた過熱検出手回路であって、

前記比較手段の比較結果に応じてオンオフするトランジスタ（302）と、

前記温度検出手段に第1のコレクタが接続され、前記トランジスタに第2のコレクタが接続され、前記第1のコレクタから前記温度検出手段に電流を供給し、前記第2のコレクタから前記トランジスタに電流を供給するものであって、前記トランジスタによって前記第2のコレクタから前記トランジスタに電流が供給されなくなったとき、前記第1のコレ



クタから前記温度検出手段に流れる電流を増加させるように構成されたマルチコレクタトランジスタと、を備えたことを特徴とする過熱検出回路。

【請求項4】

複数の抵抗（401、407）の抵抗分割によって閾値電圧（V_{th}）を生成する閾値電圧発生手段と、

入力端子から入力される入力信号と、前記閾値電圧発生手段によって生成された閾値電圧とを比較する比較手段（405）と、を備えた比較回路であって、

前記比較手段の比較結果に応じてオンオフするトランジスタ（404）と、

前記複数の抵抗の接続点に第1のコレクタが接続され、前記トランジスタに第2のコレクタが接続され、前記第1のコレクタから前記複数の抵抗のうち少なくとも1つに電流を供給し、前記第2のコレクタから前記トランジスタに電流を供給するものであって、前記トランジスタによって前記第2のコレクタから前記トランジスタに電流が供給されなくなったときに、前記第1のコレクタから前記複数の抵抗のうち少なくとも1つに流れる電流を増加させるように構成されたマルチコレクタトランジスタ（406）と、を備えたことを特徴とする比較回路。

【書類名】明細書

【発明の名称】演算增幅回路、過熱検出回路および比較回路

【技術分野】

【0001】

本発明は、演算增幅回路、過熱検出回路および比較回路に関する。

【背景技術】

【0002】

従来の演算增幅回路の構成を図8に示す。図に示すように、演算增幅回路は、反転入力端子IN-および非反転入力端子IN+に入力される各入力信号の電位差に応じた信号を出力する差動增幅回路10と、差動增幅回路10の出力に応じた信号を出力端子OUTから出力する出力回路20により構成されている。

【0003】

差動增幅回路10は、PNP型バイポーラトランジスタ111～116、121、102、122およびNPN型バイポーラトランジスタ117、118から構成されている。なお、トランジスタ121、102は2つのコレクタを有するマルチコレクタの構成となっている。また、トランジスタ121、102、122の各ベースには、図示しない外部回路からのコモンベース信号が入力され、このコモンベース信号の電圧に応じて各コレクタから定電流がOutputされるように構成されている。

【0004】

トランジスタ113、114の各ベースは、非反転入力端子IN+、反転入力端子IN-にそれぞれ接続されている。

【0005】

トランジスタ117、118は互いのベースが接続され、カレントミラー回路として構成されている。トランジスタ117のコレクタは、トランジスタ111のコレクタに接続されるとともに、トランジスタ115のベースに接続され、トランジスタ118のコレクタは、トランジスタ112のコレクタに接続されるとともに、トランジスタ116のベースに接続されている。そして、トランジスタ118には、トランジスタ117に流れる電流と等しい電流が流れるように構成されている。

【0006】

出力回路20は、PNP型バイポーラトランジスタ203、204、222およびNPN型バイポーラ219、220、221により構成されている。

【0007】

トランジスタ203、204の各ベースは、差動增幅回路10のトランジスタ121、122、102のベースと共通に接続されている。また、トランジスタ219のベースは、トランジスタ121のコレクタとトランジスタ116のエミッタの接続点に接続され、トランジスタ219のコレクタはトランジスタ203のコレクタに接続されている。また、トランジスタ219のエミッタは抵抗230を介して接地され、エミッタフォロア回路が構成されている。また、トランジスタ220はエミッタが接地され、エミッタ接地回路が構成されている。トランジスタ221のコレクタは電源の正極側に接続され、トランジスタ221のエミッタは出力端子OUTに接続されている。また、トランジスタ222のエミッタは出力端子OUTに接続され、トランジスタ222のコレクタは電源の負極側に接続されている。

【0008】

上記した構成においてその作動を説明する。反転入力端子IN-に入力される入力信号の電圧が、非反転入力端子IN+に入力される入力信号の電圧よりも高くなった場合には、トランジスタ114に流れる電流が、トランジスタ113に流れる電流よりも大きくなるため、トランジスタ112のベース電流はトランジスタ111のベース電流よりも大きくなり、トランジスタ122から供給される電流I2は、トランジスタ111よりもトランジスタ112に多く流れる。しかし、トランジスタ117、118にはそれぞれ等しい電流が流れるため、トランジスタ115のベース電流は増加し、トランジスタ116のベ

ース電流は減少する。

【0009】

このため、トランジスタ116に流れる電流I3'は減少し、トランジスタ219のベース電流は増加する。そして、トランジスタ220のベース電流は増加し、トランジスタ221、222の各ベースの電圧は低下する。そして、トランジスタ221はオフ、トランジスタ222はオンとなって、出力端OUTの論理レベルはローレベルとなる。

【0010】

また、反転入力端子IN-に入力される入力信号の電圧が、非反転入力端子IN+に入力される入力信号の電圧よりも低くなった場合には、トランジスタ113に流れる電流が、トランジスタ114に流れる電流よりも大きくなるため、トランジスタ111のベース電流はトランジスタ112のベース電流よりも大きくなり、トランジスタ122から供給される電流I2は、トランジスタ112よりもトランジスタ111に多く流れる。しかし、トランジスタ117、118にはそれぞれ等しい電流が流れるため、トランジスタ116のベース電流は増加し、トランジスタ115のベース電流は減少する。

【0011】

このため、トランジスタ116に流れる電流I3'は増加し、トランジスタ219のベース電流は減少する。そして、トランジスタ220のベース電流は減少し、トランジスタ221、222の各ベースの電圧は上昇する。そして、トランジスタ221はオン、トランジスタ222はオフとなって、出力端OUTの論理レベルはハイレベルとなる。

【発明の開示】

【発明が解決しようとする課題】

【0012】

差動增幅回路では、同相入力において、差動增幅可能な入力電圧範囲を同相入力電圧範囲という。図8に示す回路において、電源電圧をVCC、トランジスタ122のエミッターコレクタ間電圧をVsat、トランジスタ111～114の各エミッターベース間順方向電圧をVf（いわゆるエミッターベース間電圧）とすると、同相入力電圧範囲の上限は、VCC-2Vf-Vsatで表される。

【0013】

図8に示す演算增幅回路では、反転入力端子IN-、非反転入力端子IN+に入力される各入力信号の電圧が共に同相入力電圧範囲内において動作するように構成されているが、反転入力端子IN-、非反転入力端子IN+に入力される各入力信号の電圧の上昇や、電源電圧VCCの低下により、反転入力端子IN-、非反転入力端子IN+に入力される各入力信号の電圧が共に同相入力電圧範囲外となる場合がある。

【0014】

この場合、トランジスタ113、114はオフとなり、トランジスタ111、112もオフとなる。したがって、トランジスタ111、112には、電流I2が流れない。

【0015】

そして、トランジスタ115がオンとなって、トランジスタ117およびトランジスタ118の各ベースに、トランジスタ121から供給される電流I1が流れ込む。トランジスタ117とトランジスタ118には等しい電流が流れるため、トランジスタ116がオンとなって、トランジスタ118のコレクタにはトランジスタ116のベース電流が流れれる。

【0016】

ここで、上記した演算增幅回路において、トランジスタ115、116、117、118の各電流増幅率をhFE15、hFE16、hFE17、hFE18とすると、トランジスタ116のエミッタに流れる電流I3'は数式1で表される。

【0017】

【数1】

$$I3' = I1 / hFE15 * (1 - (1 / hFE17 + 1 / hFE18)) * hFE18 / hFE17 * hFE16$$

$$= I1 * (1 - \frac{1 + hFE17 / hFE18}{hFE17}) * \frac{hFE18}{hFE17} * \frac{hFE16}{hFE15}$$

また、数式1におけるhFE17、hFE18は通常100～200程度であるため、
 $(1 + hFE17 / hFE18) / hFE17 \approx 0$ とすると、トランジスタ116のエミッタに流れる電流I3'は数式2のように近似される。

【0018】

【数2】

$$I3' = I1 * \frac{hFE18}{hFE17} * \frac{hFE16}{hFE15}$$

数式2において、トランジスタ115、116およびトランジスタ117、118のそれぞれのペア性が良い場合は、トランジスタ115、116の各電流増幅率hFE15、hFE16およびトランジスタ117、118の各電流増幅率hFE17、hFE18がそれぞれ等しく、I3' = I1となる。また、トランジスタ121のマルチコレクタのペア性が良い場合は、I1 = I3となる。

【0019】

しかし、トランジスタ115、116およびトランジスタ117、118のそれぞれのペア性あるいはトランジスタ121のマルチコレクタのペア性によって、I3とI3'の関係が $I3 > I3'$ になったり、 $I3 < I3'$ になったりする。なお、実際には、 $I3 < I3'$ となることなく、あえて言うならば、トランジスタ116の電流駆動能力がI3よりも大きく、 $I3 = I3'$ となる。 $I3 > I3'$ の場合には、トランジスタ219はオンとなり、トランジスタ220はオフ、トランジスタ221はオフ、トランジスタ222はオフとなって、出力端子OUTの論理レベルはローレベルとなる。しかし、 $I3 = I3'$ の場合には、トランジスタ219はオフとなり、トランジスタ220はオフ、トランジスタ221はオフ、トランジスタ222はオフとなって、出力端子OUTの論理レベルはハイレベルとなる。

【0020】

このため、上記した同相入力電圧範囲外の入力があった場合に、トランジスタ115、116およびトランジスタ117、118のそれぞれのペア性あるいはトランジスタ121のマルチコレクタのペア性によって、出力端子OUTの論理レベルを所望のレベルに固定することができないという問題が生じる。

【0021】

この場合、トランジスタ117、118のエミッタにバランス抵抗を挿入し、わざとバランスを悪くして、出力端子OUTの論理レベルを所望のレベルに固定することも考えられるが、そのようにすると通常動作時のオフセットが悪くなるなどの問題が生じる。

【0022】

本発明は上記問題に鑑みたもので、通常動作時のオフセットを悪くすることなく、上記したトランジスタのペア性が悪くても、入力信号の電圧が同相入力電圧範囲外となった場合の出力の論理レベルを所望のレベルに固定できるようにすることを第1の目的とする。

【0023】

また、従来の過熱検出回路を図9に示す。従来の過熱検出回路は、PNP型マルチコレクタトランジスタ301、NPN型トランジスタ302、温度検出用ダイオード303、コンパレータ304、定電圧源305、ダイオード306を備えている。

【0024】

図に示すように、マルチコレクタトランジスタ301のベースには、図示しない外部回路からベース信号が入力され、このベース信号の電圧に応じてコレクタ(5)、コレクタ(6)にそれぞれ等しい電流I5、I6(例えば、10μA)が流れる。そして、トランジスタ302には、コレクタ(5)から電流I5が流れ、温度検出用ダイオード303には、コレクタ(6)から電流I6が流れているようになっている。

【0025】

温度検出用ダイオード303の順方向降下電圧VFは、図10のVF(10μA)に示すように、温度が上昇するにつれて低くなり、反対に、温度が低下するにつれて高くなる。

【0026】

また、コンパレータ304の反転入力端子-には、温度検出用ダイオード303の順方向降下電圧VFが印加され、コンパレータ304の非反転入力端子+には、定電圧源305によって閾値電圧Vthが印加されている。

【0027】

図9に示した回路において、温度が低く、コンパレータ304の非反転入力端子+に印加される閾値電圧Vthよりも、コンパレータ304の反転入力端子-に印加される電圧VFの方が高い場合、コンパレータ304の出力端子からローレベルの信号が出力される。そして、温度上昇によってコンパレータ304の非反転入力端子+に印加される閾値電圧Vthよりも、コンパレータ304の反転入力端子-に印加される電圧VFの方が低くなると、コンパレータ304の出力端子からハイレベルの信号が出力される。

【0028】

ところで、図10のVF(10μA)、VF(20μA)に示すように、温度検出用ダイオード303に流れる電流が大きいほど温度検出用ダイオード303の順方向降下電圧VFは大きくなるようになっている。

【0029】

図9に示す回路は、温度検出用ダイオード303に流れる電流を変化させることによって、検出温度にヒステリシスを持たせるようになっている。トランジスタ302およびダイオード306は、検出温度にヒステリシスを持たせるための回路である。

【0030】

図9において、温度上昇に伴い、温度検出用ダイオード303の順方向降下電圧VFが閾値電圧Vthを下回ると、トランジスタ302はコンパレータ304からのハイレベルの信号によってオンとなり、マルチコレクタトランジスタ301のコレクタ(6)に流れる電流I6はトランジスタ302に流れる。つまり、温度検出用ダイオード303には、マルチコレクタトランジスタ301のコレクタ(6)からの電流I6(10μA)が流れれる。

【0031】

また、温度が低く、温度検出用ダイオード303の順方向降下電圧VFが閾値電圧Vthを上回ると、トランジスタ302は、コンパレータ304からのローレベルの信号によってオフとなり、マルチコレクタトランジスタ301のコレクタ(6)に流れる電流I6はダイオード306を介して温度検出用ダイオード303に流れる。つまり、温度検出用ダイオード303には、マルチコレクタトランジスタ301のコレクタ(5)からの電流I5およびコレクタ(6)からの電流I6(合計20μA)が流れれる。

【0032】

すなわち、検出温度が温度T1よりも低い場合および検出温度がT1からT2へ上昇する場合、トランジスタ302はオフとなり、温度検出用ダイオード303の順方向降下電圧VFは図10のVF(20μA)に示す特性となる。反対に、検出温度が温度T2よりも高い場合および検出温度がT2からT1へ低下する場合、トランジスタ302はオンとなり、温度検出用ダイオード303の順方向降下電圧VFは図10のVF(10μA)に示す特性となる。

【0033】

このように、従来の過熱検出回路は、トランジスタ302およびダイオード306によって、温度検出用ダイオード303に流れる電流を変化させて、検出温度にヒステリシスを持たせるようになっている。

【0034】

本発明は上記問題に鑑みたもので、検出温度にヒステリシスを持たせた過熱検出回路において、温度検出用ダイオードに流れる電流を変化させるためのダイオードを設けることなく検出温度にヒステリシスを持たせることを第2の目的とする。

【0035】

また、従来の比較回路の構成を図11に示す。図に示すように、比較回路は、抵抗401～403、NPN型トランジスタ404、コンパレータ405を備えている。

【0036】

図に示すように、電源VCCとGND間には、抵抗401～403が直列接続されている。そして、コンパレータ405の反転入力端子ーには、抵抗401と抵抗403、403の抵抗分割によって分圧された閾値電圧Vthが印加されている。そして、入力端子INから入力される入力信号の電圧が閾値電圧Vthよりも大きい場合、コンパレータ405の出力端子からハイレベルの信号が出力され、入力端子INから入力される入力信号の電圧が閾値電圧Vthよりも小さい場合、コンパレータ405の出力端子からローレベルの信号が出力されるようになっている。

【0037】

また、図11に示す回路では、トランジスタ404のスイッチングにより、基準電圧となる閾値電圧Vthを変化させ、比較回路にヒステリシスを持たせるようになっている。すなわち、トランジスタ404がオフすると、図12に示すように、閾値電圧VthはVthHとなり、トランジスタ404がオンすると、閾値電圧VthはVthLとなる。

【0038】

そして、図12に示すように、入力端子INの電圧がトランジスタ404がオンしたときの閾値電圧VthLよりも大きくなると、出力端子OUTの電圧はハイレベルとなり、入力端子INに印加される電圧がトランジスタ404がオフしたときの閾値電圧VthHよりも小さくなると、出力端子OUTの電圧はローレベルとなる。

【0039】

このように、従来の比較回路は、コンパレータ405の反転入力端子ーに、抵抗401～403の抵抗分割によって分圧された閾値電圧Vthが印加され、この閾値電圧Vthをトランジスタ404のスイッチングにより変化させてヒステリシスを持たせている。

【0040】

本発明は上記問題に鑑みたもので、ヒステリシスを持たせた比較回路において、新規な構成のものを提供することを第3の目的とする。

【課題を解決するための手段】

【0041】

上記第1の目的を達成するため、請求項1に記載の発明に係る演算增幅回路では、第1の入力段トランジスタ回路(111、113)と第2の入力段トランジスタ回路(112、114)に電流が供給できなくなったときに、第5、第6のトランジスタ(115、116)の一方に供給する電流が増加し、他方に供給する電流が変化しないように構成された電流供給回路(101)を備えたことを特徴としている。

【0042】

したがって、反転入力端子(INー)、非反転入力端子(IN+)の入力信号の電圧が同相入力電圧範囲外となり、第1、第2の入力段トランジスタ回路(111、113、112、114)がオフし、それらに供給する電流(I2)が流れなくなったときに、第5、第6のトランジスタ(115、116)の一方に供給する電流が増加し、他方に供給する電流が変化しないようになっているので、第3、第4のトランジスタ(117、118)あるいは第5、第6のトランジスタ(115、116)のペア性が悪くても、第6の電流供給用トランジスタ(116)に供給する電流(I3)と第6の電流供給用トランジ

タに流れる電流（I_{3'}）の大小関係を固定することができ、出力回路（20）の出力論理レベルを所望のレベルに固定することができる。

【0043】

なお、上記した電流供給回路（101）としては、請求項2に係る発明のように、第1、第2の入力段トランジスタ回路（111、113、112、114）に接続された第1のコレクタと、第5、第6のトランジスタ（115、116）の一方に接続された第2のコレクタと、第5、第6のトランジスタ（115、116）の他方に接続された第3のコレクタとを備え、記第1のコレクタから電流が供給できなくなったときにエミッタに流れる電流の一部が第2のコレクタに流れるように構成されたマルチコレクタトランジスタとすることができる。

【0044】

また、上記第2の目的を達成するため、請求項3に記載の発明に係る過熱検出回路では、温度変化に応じて出力電圧（VF）が変化する温度検出手段（303）と、所定の閾値電圧を発生する閾値電圧発生手段（305）と、温度検出手段（303）の出力電圧（VF）と閾値電圧（V_{th}）とを比較する比較手段（304）と、を備えた過熱検出回路であって、比較手段の比較結果に応じてオンオフするトランジスタ（302）と、温度検出手段に第1のコレクタが接続され、トランジスタ（302）に第2のコレクタが接続され、第1のコレクタから温度検出手段（305）に電流を供給し、第2のコレクタからトランジスタ（302）に電流を供給するものであって、第2のコレクタからトランジスタ（302）に電流が供給されなくなったときに、第1のコレクタから温度検出手段に流れる電流を増加させるように構成されたマルチコレクタトランジスタ（301）と、を備えたことを特徴としている。

【0045】

このように、第2のコレクタからトランジスタ（302）に電流が供給されなくなったときに、第1のコレクタから温度検出手段に流れる電流を増加させるように構成されたマルチコレクタトランジスタ（301）と、を備えたので、検出温度にヒステリシスを持たせた過熱検出回路において、図9に示したような温度検出用ダイオードに流れる電流を変化させるためのダイオード（306）を設けることなく検出温度にヒステリシスを持たせることができる。

【0046】

また、上記第3の目的を達成するため、請求項4に記載の発明に係る比較回路では、複数の抵抗（401、407）の抵抗分割によって閾値電圧（V_{th}）を生成する閾値電圧発生手段と、入力端子から入力される入力信号と、閾値電圧発生手段によって生成された閾値電圧（V_{th}）とを比較する比較手段（405）と、を備えた比較回路であって、比較手段の比較結果に応じてオンオフするトランジスタ（404）と、複数の抵抗（401、407）の接続点に第1のコレクタが接続され、トランジスタ（404）に第2のコレクタが接続され、第1のコレクタから複数の抵抗（401、407）のうち少なくとも1つに電流を供給し、第2のコレクタからトランジスタ（404）に電流を供給するものであって、第2のコレクタからトランジスタ（404）に電流が供給されなくなったときに、第1のコレクタから複数の抵抗（401、407）のうち少なくとも1つに流れる電流を増加させるように構成されたマルチコレクタトランジスタ（406）と、を備えたことを特徴としている。

【0047】

このように、第2のコレクタからトランジスタ（404）に電流が供給されなくなったときに、第1のコレクタから複数の抵抗のうち少なくとも1つに流れる電流を増加させるように構成されたマルチコレクタトランジスタ（406）と、を備え、ヒステリシスを持たせた比較回路において、新規な構成のものを提供することができる。

【0048】

なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係を示すものである。

【発明を実施するための最良の形態】

【0049】

(第1実施形態)

本発明の一実施形態に係る演算增幅回路の構成を図1に示す。この実施形態では、図8に示す従来の演算增幅回路に対しトランジスタ121、122に代えてトランジスタ101を設けた構成となっている。その他の構成は、図8に示すものと同じである。

【0050】

トランジスタ101は、4つのコレクタ(1)～(4)を有するマルチコレクタトランジスタであり、コレクタ(1)は、トランジスタ116のエミッタに接続され、コレクタ(2)はトランジスタ111、112の各エミッタに接続され、コレクタ(3)はトランジスタ115のエミッタに接続されている。なお、コレクタ(4)は使用されないため接地されている。

【0051】

図2に、トランジスタ101のレイアウトを模式的に示す。図に示すように、トランジスタ101は、共通のベースに対し、2つのセル1、2が配置されている。セル1は、1つのエミッタ1に対して2つのコレクタ(1)、(2)が対をなして形成され、セル2は、1つのエミッタ2に対して2つのコレクタ(3)、(4)が対をなして形成されている。なお、セル1のエミッタ1とセル2のエミッタ2はICチップ内でパターン配線により接続されている。

【0052】

このように構成したことにより、トランジスタ101のベースに印加されるコモンベース信号の電圧に応じて各コレクタ(1)～(4)から定電流が流れる。この場合、対をなすコレクタの一方に電流が流れないと他方のコレクタに流れる電流が増加する。例えば、コレクタ(2)からコレクタ電流が流れないと、コレクタ(2)へ電流を流していたエミッタ1からの電流の一部が、コレクタ(2)と対をなしているコレクタ(1)へ流れ、コレクタ(1)のコレクタ電流が増加する。発明者らの実験によれば、トランジスタの製造工程や素子の大きさにもよるが、コレクタ(1)のコレクタ電流は、コレクタ(2)のコレクタ電流を停止すると、1.5倍程度となることが確認された。

【0053】

この図1に示す演算增幅回路において、トランジスタ101、102の各ベースには、図示しない外部回路からのコモンベース信号が入力され、このコモンベース信号の電圧に応じて各コレクタから定電流が出力される。したがって、反転入力端子IN-および非反転入力端子IN+に入力される各入力信号が同相入力電圧範囲内における作動については、基本的に図8に示した構成と同じであり、反転入力端子IN-の入力電圧が、非反転入力端子IN+の入力電圧よりも高い場合には、出力端OUTの論理レベルはローレベルとなり、反転入力端子IN-の入力電圧が、非反転入力端子IN+の入力電圧よりも低い場合には、出力端OUTの論理レベルはハイレベルとなる。

【0054】

次に、非反転入力端子IN+、反転入力端子IN-の両方に同相入力電圧以上の入力信号が入力される場合の作動について説明する。

【0055】

非反転入力端子IN+、反転入力端子IN-の両方に同相入力電圧以上の入力信号が入力されると、トランジスタ113、114はオフとなり、トランジスタ111、112はオフとなる。したがって、トランジスタ111、112には、トランジスタ101のコレクタ(2)から電流I2が流れない。この場合、トランジスタ101のコレクタ(1)のコレクタ電流I3が増加する。なお、セル2を構成している各コレクタ(3)、(4)のコレクタ電流は変化しない。

【0056】

ここで、トランジスタ115、116あるいはトランジスタ117、118のペア性が悪くても、出力端OUTの論理レベルをローレベルに固定するためには、トランジスタ

219をオンさせる必要がある。

【0057】

トランジスタ219の電流増幅率をhFE19、トランジスタ203のコレクタから供給される電流をI4とすると、トランジスタ219がオンするための条件は、数式3のように表される。

【0058】

【数3】

$$I3 > I3' + I4 / hFE19$$

数式3において、 $I4 / hFE19 = 0$ とし、さらに数式2を用いると、トランジスタ219がオンするための条件は、数式4のように表される。

【0059】

【数4】

$$I3 > I1 * \frac{hFE18}{hFE17} * \frac{hFE16}{hFE15}$$

一方、コレクタ(2)からコレクタ電流が流れない場合、コレクタ(1)のコレクタ電流は、上述したように1.5倍程度に増加するため、コレクタ(1)に流れる電流I3とコレクタ(3)に流れる電流I1との関係は、数式5のようになる。

【0060】

【数5】

$$I3 = I1 * 1.5 \text{ より}$$

したがって、数式4および数式5から、数式6に示す関係が導き出される。

【0061】

【数6】

$$\frac{I3}{I1} = 1.5 > \frac{hFE18}{hFE17} * \frac{hFE16}{hFE15}$$

数式6に示すように、トランジスタ115、116およびトランジスタ117、118ペア性の許容度は電流I1と電流I3の比に依存する。つまり、トランジスタ115、116の電流増幅率hFE15、hFE16およびトランジスタ117、118の電流増幅率hFE17、hFE18のペア性が悪くても、各電流増幅率hFE15～hFE18が、数式6に示す条件を満たす許容範囲内であれば、反転入力端子IN-、非反転入力端子IN+に入力される各入力信号の電圧が共に同相入力電圧範囲外となっても、確実にトランジスタ219をオンさせることができ、出力端子OUTから出力される出力信号の論理レベルをローレベルに固定することができる。

【0062】

なお、トランジスタをペアで構成する場合の電流増幅率のばらつきは、一般的に5%程度未満とすることが可能であり、数式6に示す条件を満たすことは容易である。

【0063】

(第2実施形態)

上記した第1の実施形態においては、反転入力端子IN-、非反転入力端子IN+に入力される各入力信号の電圧が共に同相入力電圧範囲外となる場合に、出力端子OUTから出力される出力信号の論理レベルをローレベルにする例について示したが、この第2実施形態では、出力端子OUTから出力される出力信号の論理レベルをハイレベルにする例について説明する。

【0064】

図3に、本発明の第2実施形態に係るマルチコレクタトランジスタ101のレイアウトの模式図を示す。図に示すように、トランジスタ101は、共通のベースに対し、2つの

セル1、2が配置されている。セル1は、1つのエミッタ1に対して2つのコレクタ(3)、(2)が対をなして形成され、セル2は、1つのエミッタ2に対して2つのコレクタ(1)、(4)が対をなして形成されている。なお、セル1のエミッタ1とセル2のエミッタ2はICチップ内でパターン配線により接続されている。

【0065】

図3において、コレクタ(2)から供給されるコレクタ電流が流れないようにすると、コレクタ(2)へ電流を流していたエミッタ1からの電流の一部が、コレクタ(2)と対をなしているコレクタ(3)へ流れ、コレクタ(3)のコレクタ電流が増加する。

【0066】

したがって、反転入力端子IN-、非反転入力端子IN+に入力される各入力信号の電圧が共に同相入力電圧範囲外となり、トランジスタ111～114が全てオフとなり、トランジスタ101のコレクタ(2)から供給される電流I2が流れなくなると、トランジスタ101のコレクタ(3)から供給される電流I1は増加する。なお、この場合、セル2を構成しているコレクタ(1)、(4)のコレクタ電流は変化しない。

【0067】

ここで、トランジスタ115、116あるいはトランジスタ117、118のペア性が悪くても、出力端子OUTの論理レベルをハイレベルに固定するためには、トランジスタ219をオフさせる必要がある。

【0068】

トランジスタ219の電流増幅率をhFE19、トランジスタ203のコレクタから供給される電流をI4とすると、トランジスタ219がオフするための条件は、数式7のように表される。

【0069】

【数7】

$$I3 < I3' + I4 / hFE19$$

数式3において、 $I4 / hFE19 \neq 0$ とし、さらに数式2を用いると、トランジスタ219がオフするための条件は、数式8のように表される。

【0070】

【数8】

$$I3 < I1 * \frac{hFE18}{hFE17} * \frac{hFE16}{hFE15}$$

一方、コレクタ(2)からコレクタ電流が流れない場合、コレクタ(3)のコレクタ電流は、上述したように1.5倍程度に増加するため、コレクタ(1)に流れる電流I3とコレクタ(3)に流れる電流I1との関係は、数式9のようになる。

【0071】

【数9】

$$I3 = I1 * 1 / 1.5 \text{ より}$$

したがって、数式8および数式9から、数式10に示す関係が導き出される。

【0072】

【数10】

$$\frac{I3}{I1} \neq 0.67 < \frac{hFE18}{hFE17} * \frac{hFE16}{hFE15}$$

数式10に示すように、トランジスタ115、116およびトランジスタ117、118ペア性の許容度は電流I1と電流I3の比に依存する。つまり、トランジスタ115、116の電流増幅率hFE15、hFE16およびトランジスタ117、118の電流増幅率hFE17、hFE18のペア性が悪くても、各電流増幅率hFE15～hFE18

が、数式10に示す条件を満たす許容範囲内であれば、反転入力端子IN-、非反転入力端子IN+に入力される各入力信号の電圧が共に同相入力電圧範囲外となつても、確実にトランジスタ219をオフさせることができ、出力端子OUTから出力される出力信号の論理レベルをハイレベルに固定することができる。

【0073】

(第3実施形態)

上記した第1、2の実施形態では、1つのエミッタに対して2つのコレクタが対をなして形成されたセルを有するマルチコレクタトランジスタにおいて、コレクタの一方に電流が流れないと他方のコレクタに流れる電流が増加するといった現象を演算增幅回路に応用した例について示したが、本実施形態では、この現象を過熱検出回路に応用している。

【0074】

図4に、本実施形態に係る過熱検出回路の構成を示す。なお、図9に示した回路と同一部分には、同一符号を付して説明を省略し、以下異なる部分についてのみ説明する。なお、図4に示す過熱検出回路は、図9に示す回路と比較してダイオード306が設けられていない点が異なっている。

【0075】

図4において、温度上昇に伴い、温度検出用ダイオード303の順方向降下電圧VFが閾値電圧Vthを下回ると、トランジスタ302はコンパレータ304からのハイレベルの信号によってオンとなり、トランジスタ302には、マルチコレクタトランジスタ301のコレクタ(6)に流れる電流I6(10μA)が流れ、温度検出用ダイオード303には、マルチコレクタトランジスタ301のコレクタ(5)からの電流I6(10μA)が流れ。

【0076】

また、温度が低く、温度検出用ダイオード303の順方向降下電圧VFが閾値電圧Vthを上回ると、トランジスタ302は、コンパレータ304からのローレベルの信号によってオフとなるため、トランジスタ302には、マルチコレクタトランジスタ301の一方のコレクタとしてのコレクタ(6)から電流が流れなくなる。そして、マルチコレクタトランジスタ301の他方のコレクタとしてのコレクタ(5)に流れる電流が増加する。

【0077】

発明者らの実験によれば、マルチコレクタトランジスタの対をなす一方のコレクタに電流が流れないと、他方のコレクタに流れる電流が1.5倍程度増加することから、トランジスタ302がオフすると、温度検出用ダイオード303に流れる電流は10μAから15μAに増加する。

【0078】

すなわち、図5に示すように、検出温度が温度T1よりも低い場合および検出温度がT1からT2へ上昇する場合、トランジスタ302はオフとなり、順方向降下電圧VFはVF(15μA)に示す特性となる。反対に、検出温度が温度T2よりも高い場合および検出温度がT2からT1へ低下する場合、トランジスタ302はオンとなり、順方向降下電圧VFはVF(10μA)に示す特性となる。

【0079】

このように、図4に示す過熱検出回路は、1つのエミッタに対して2つのコレクタが対をなして形成されたセルを有するマルチコレクタトランジスタにおいて、コレクタの一方に電流が流れないと他方のコレクタに流れる電流が増加するといった現象を応用して検出温度にヒステリシスを持たせるようになっている。

【0080】

上記したように、温度変化に応じて順方向降下電圧VFが変化する温度検出用ダイオード303と、所定の閾値電圧Vthを発生する定電源305と、温度検出用ダイオード303の順方向降下電圧VFと閾値電圧Vthとを比較するコンパレータ304と、を備えた過熱検出回路であつて、コンパレータ304の比較結果に応じてオンオフするトランジスタ302と、温度検出用ダイオード303に第1のコレクタが接続され、トランジスタ

302に第2のコレクタが接続され、第1のコレクタから温度検出用ダイオード303に電流を供給し、第2のコレクタからトランジスタ302に電流を供給するものであって、第2のコレクタからトランジスタ302に電流が供給されなくなったときに、第1のコレクタから温度検出用ダイオード303に流れる電流を増加させるように構成されたマルチコレクタトランジスタ301と、を備えているので、検出温度にヒステリシスを持たせた過熱検出回路において、図9に示したような温度検出用ダイオード303に流れる電流を変化させるためのダイオード306を設けることなく検出温度にヒステリシスを持たせることができる。

【0081】

(第4実施形態)

上記した第1、2の実施形態では、1つのエミッタに対して2つのコレクタが対をなして形成されたセルを有するマルチコレクタトランジスタにおいて、コレクタの一方に電流が流れないと他方のコレクタに流れる電流が増加するといった現象を演算增幅回路に応用した例について示したが、本実施形態では、この現象を比較回路に応用している。

【0082】

図6に、本実施形態に係る比較回路の構成を示す。図に示すように、比較回路は、抵抗401、407、NPN型トランジスタ404、コンパレータ405およびPNP型マルチコレクタトランジスタ406を備えている。

【0083】

図に示すように、電源VCCとGND間には、抵抗401および抵抗407が直列接続されている。そして、コンパレータ405の反転入力端子ーには、抵抗401と抵抗407の抵抗分割によって分圧された閾値電圧Vthが印加されている。そして、入力端子INから入力される入力信号の電圧が閾値電圧Vthよりも大きい場合、コンパレータ405の出力端子からハイレベルの信号が出力され、入力端子INから入力される入力信号の電圧が閾値電圧Vthよりも小さい場合、コンパレータ405の出力端子からローレベルの信号が出力されるようになっている。

【0084】

また、図に示すように、マルチコレクタトランジスタ406のベースには、図示しない外部回路からベース信号が入力され、このベース信号の電圧に応じてコレクタ(1)、コレクタ(2)にそれぞれ等しい電流(各10μA)が流れる。そして、トランジスタ404には、コレクタ(2)から電流が流れ、抵抗407には、コレクタ(1)から電流が流れようになっている。

【0085】

また、図6に示す回路では、トランジスタ404のスイッチングにより、マルチコレクタトランジスタ406のコレクタ(2)に流れる電流を変化させ、比較回路にヒステリシスを持たせるようになっている。

【0086】

すなわち、トランジスタ404がオンすると、トランジスタ404には、マルチコレクタトランジスタ406のコレクタ(2)から電流(10μA)が流れ、抵抗407には、マルチコレクタトランジスタ406のコレクタ(1)から電流(10μA)が流れる。そして、トランジスタ404がオフすると、トランジスタ404には、マルチコレクタトランジスタ406のコレクタ(1)からの電流が流れなくなるため、マルチコレクタトランジスタ406のコレクタ(2)から抵抗407に流れる電流が1.5倍程度に増加し、閾値電圧Vthは上昇する。

【0087】

すなわち、トランジスタ404がオフすると、図7に示すように、閾値電圧VthはVthHとなり、トランジスタ404がオンすると、閾値電圧VthはVthLとなる。

【0088】

このように、1つのエミッタに対して2つのコレクタが対をなして形成されたセルを有するマルチコレクタトランジスタにおいて、コレクタの一方に電流が流れないと他方のコ

レクタに流れる電流が増加するといった現象を利用して、比較回路にヒステリシスを持たせるようになっている。

【0089】

上記したように、抵抗401、407の抵抗分割によって閾値電圧Vthを生成し、入力端子から入力される入力信号と閾値電圧Vthとを比較するコンパレータ405と、を備えた比較回路であって、コンパレータ405の比較結果に応じてオンオフするトランジスタ404と、抵抗401、407の接続点に第1のコレクタが接続され、トランジスタ404に第2のコレクタが接続され、第1のコレクタから抵抗407に電流を供給し、第2のコレクタからトランジスタ404に電流を供給するものであって、トランジスタ404によって第2のコレクタからトランジスタ404に電流が供給されなくなったときに、第1のコレクタから抵抗407に流れる電流を増加させるように構成されたマルチコレクタトランジスタ406と、を備え、ヒステリシスを持たせた比較回路において、新規な構成のものを提供することができる。

【0090】

(その他の実施形態)

上記した第1実施形態におけるトランジスタ101として、4つのコレクタ(1)～(4)を有するマルチコレクタトランジスタによって構成された例について示したが、コレクタ(1)、(2)を有するマルチコレクタトランジスタと、コレクタ(3)を有するトランジスタを設け、各トランジスタのベースを互いに接続した構成としてもよい。また、第2実施形態におけるトランジスタ101としては、コレクタ(2)、(3)を有するマルチコレクタトランジスタと、コレクタ(1)を有するトランジスタを設け、各トランジスタのベースを互いに接続した構成としてもよい。

【0091】

また、電流供給回路としてマルチコレクタのトランジスタ101を用いるものを示したが、電流I2が供給できなくなったときに、電流I3と電流I1のうち一方が増加し、他方が変化しないような構成のものであれば、他の構成のものを用いてもよい。

【図面の簡単な説明】

【0092】

【図1】本発明の第1実施形態における演算增幅回路の構成を示す図である。

【図2】本発明の第1実施形態におけるマルチコレクタトランジスタ101のレイアウトの模式図である。

【図3】本発明の第2実施形態におけるマルチコレクタトランジスタ101のレイアウトの模式図である。

【図4】本発明の第3実施形態における過熱検出回路の構成を示す図である。

【図5】本発明の第3実施形態における過熱検出回路の温度検出用ダイオードの順方向降下電圧の特性を示す図である。

【図6】本発明の第4実施形態における比較回路の構成を示す図である。

【図7】本発明の第4実施形態における比較回路のヒステリシス特性を示す図である。

【図8】従来の演算增幅回路の構成を示す図である。

【図9】従来の過熱検出回路の構成を示す図である。

【図10】従来の過熱検出回路の温度検出用ダイオードの順方向降下電圧の特性を示す図である。

【図11】従来の比較回路の構成を示す図である。

【図12】従来の比較回路のヒステリシス特性を示す図である。

【符号の説明】

【0093】

10…差動增幅回路、

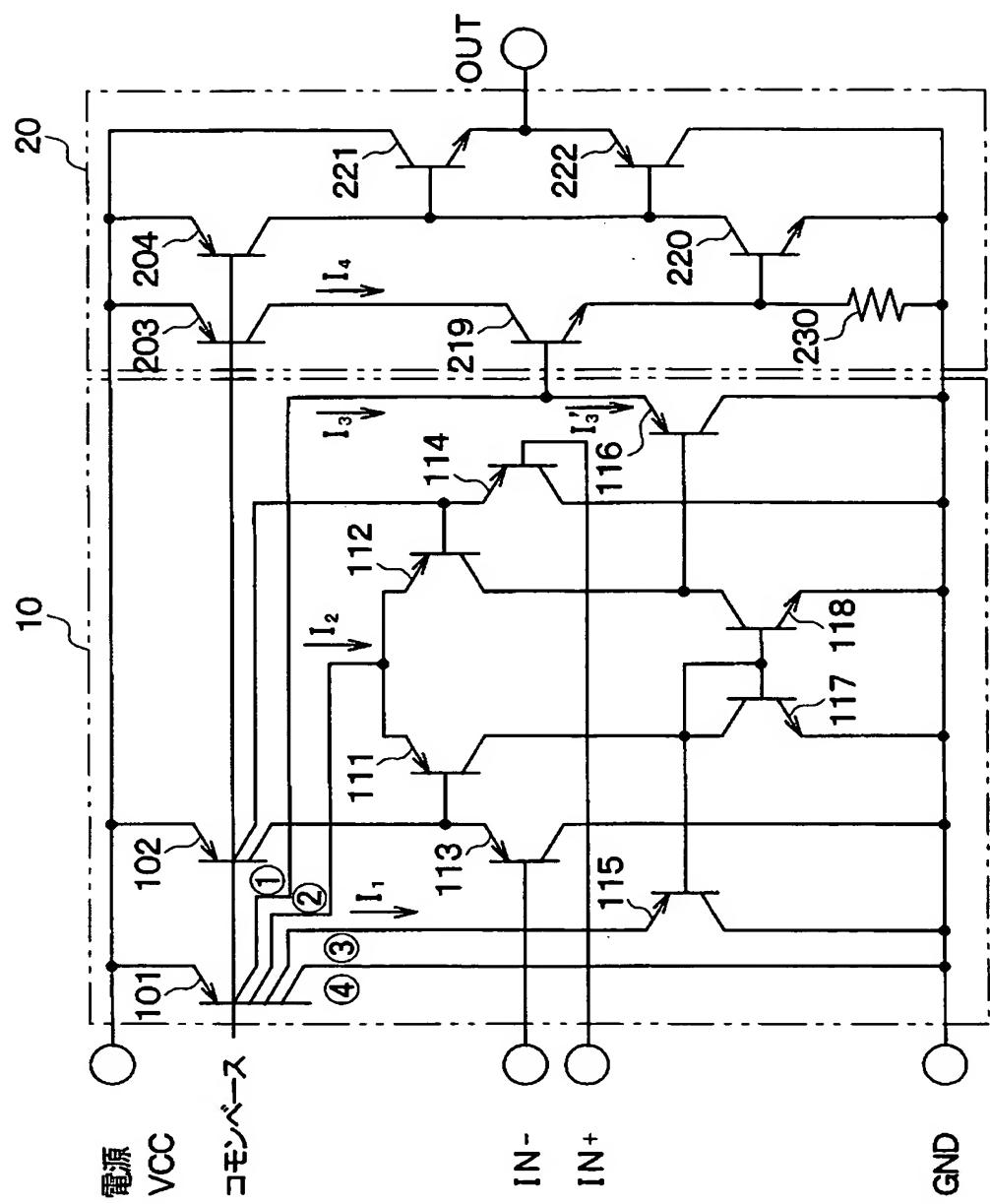
101、102、301、406…PNP型マルチコレクタトランジスタ、

111～116、203、204、222…PNP型トランジスタ、

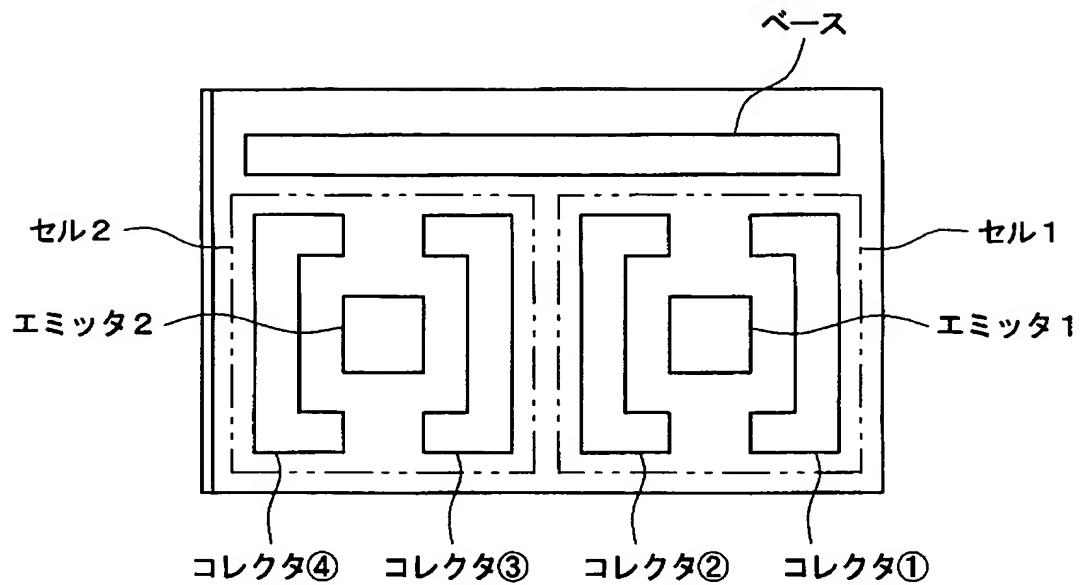
117、118、114、116、221、302、404…NPN型トランジスタ、
20…出力回路、230、401～403、407…抵抗、
304、405…コンパレータ、303…温度検出用ダイオード。

【書類名】図面

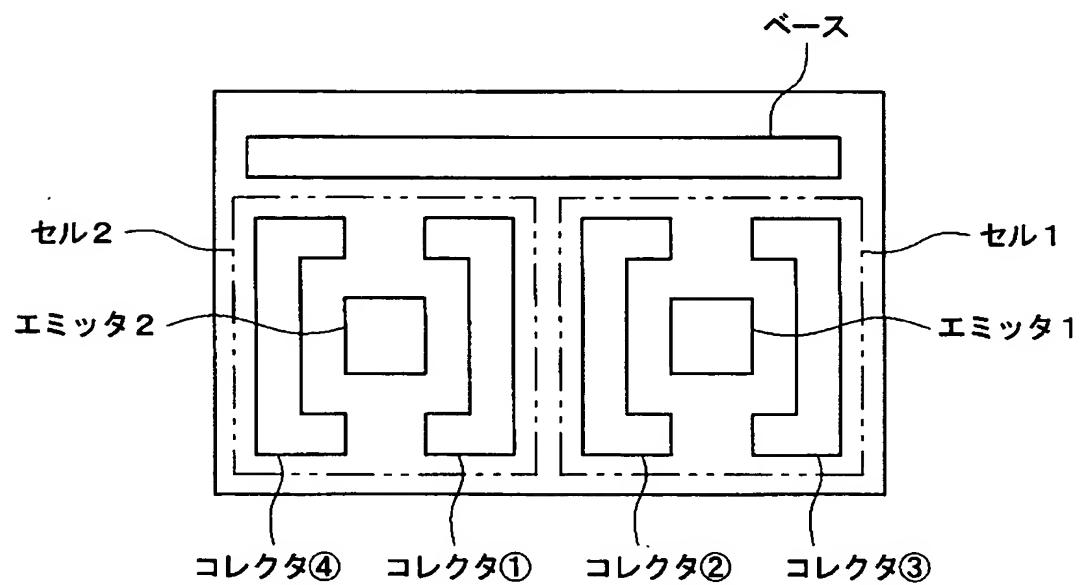
【図1】



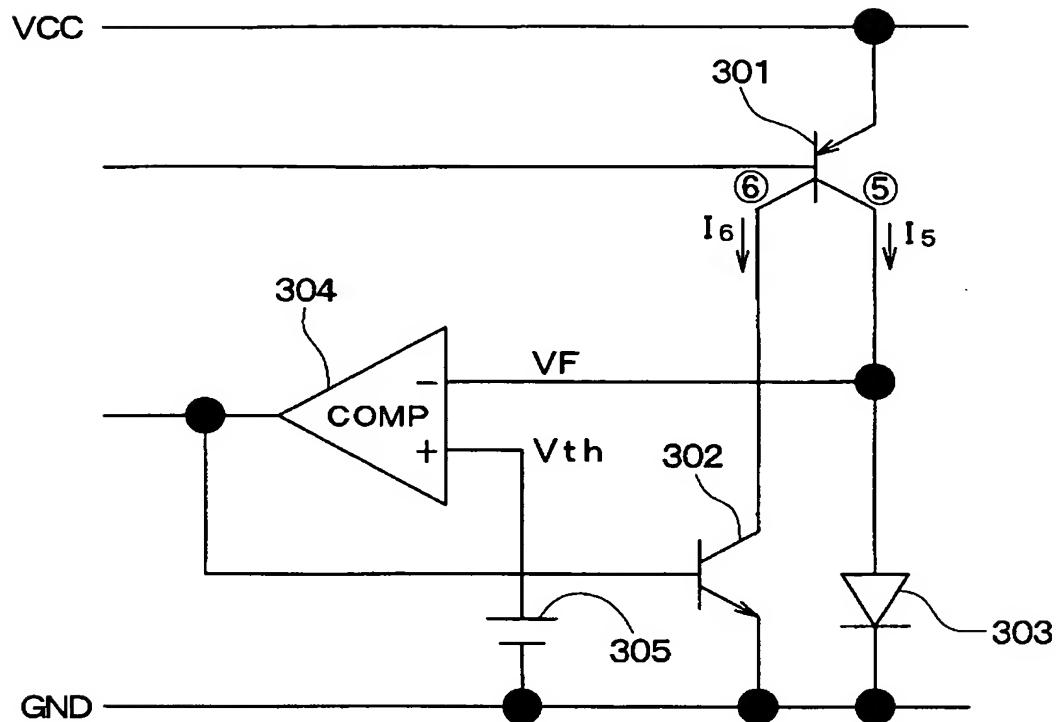
【図2】



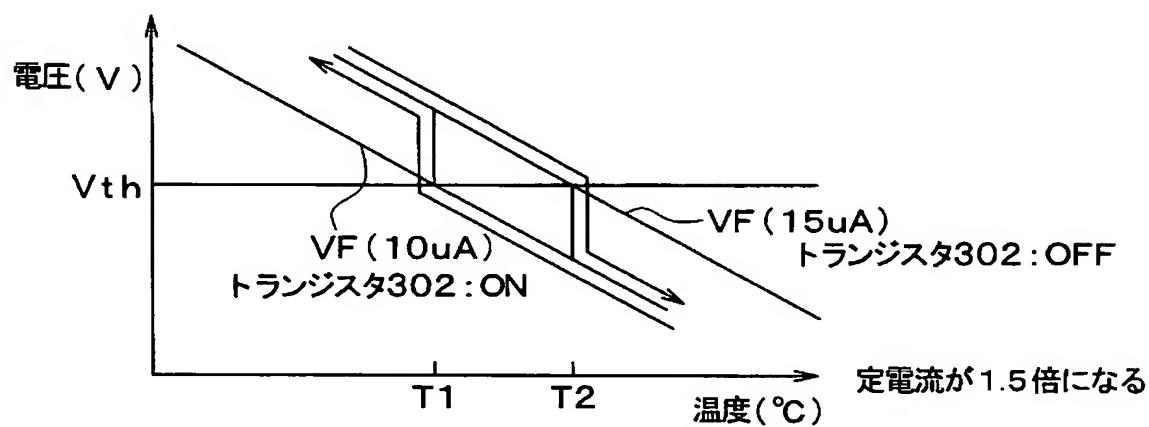
【図3】



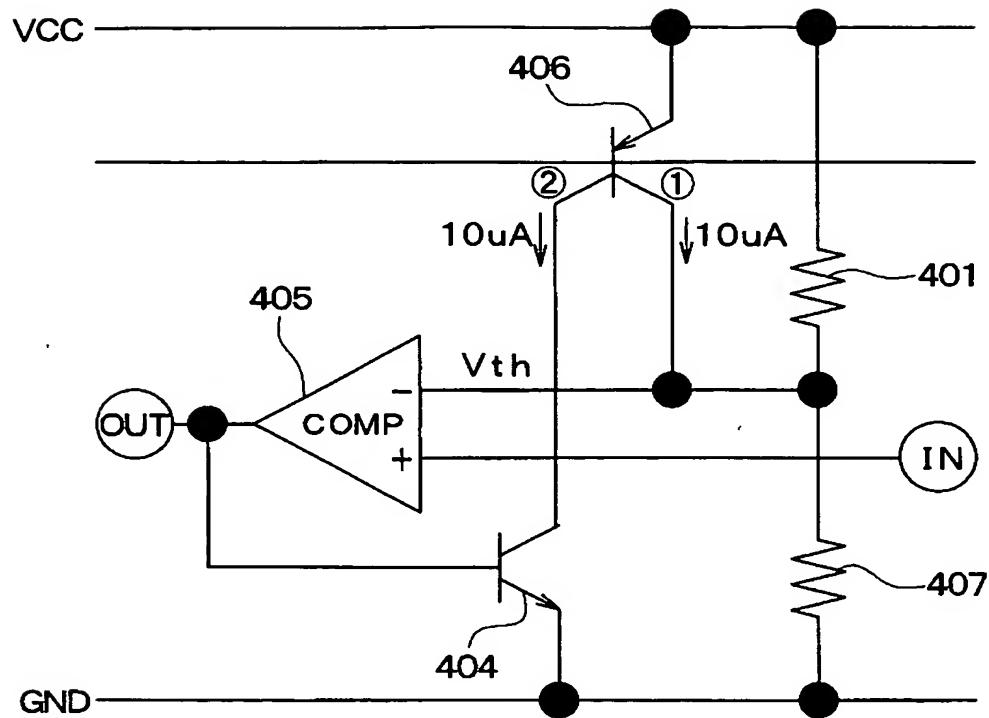
【図 4】



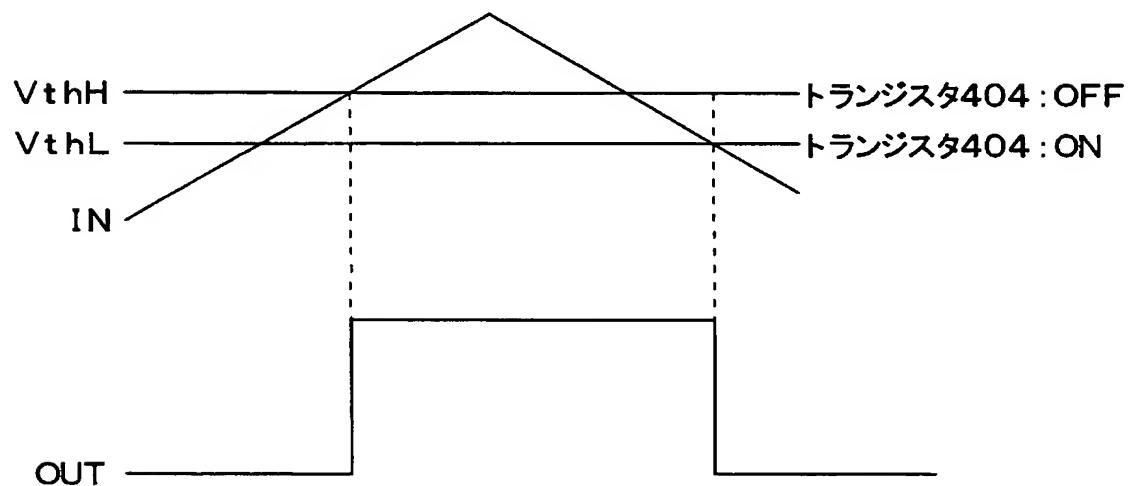
【図 5】



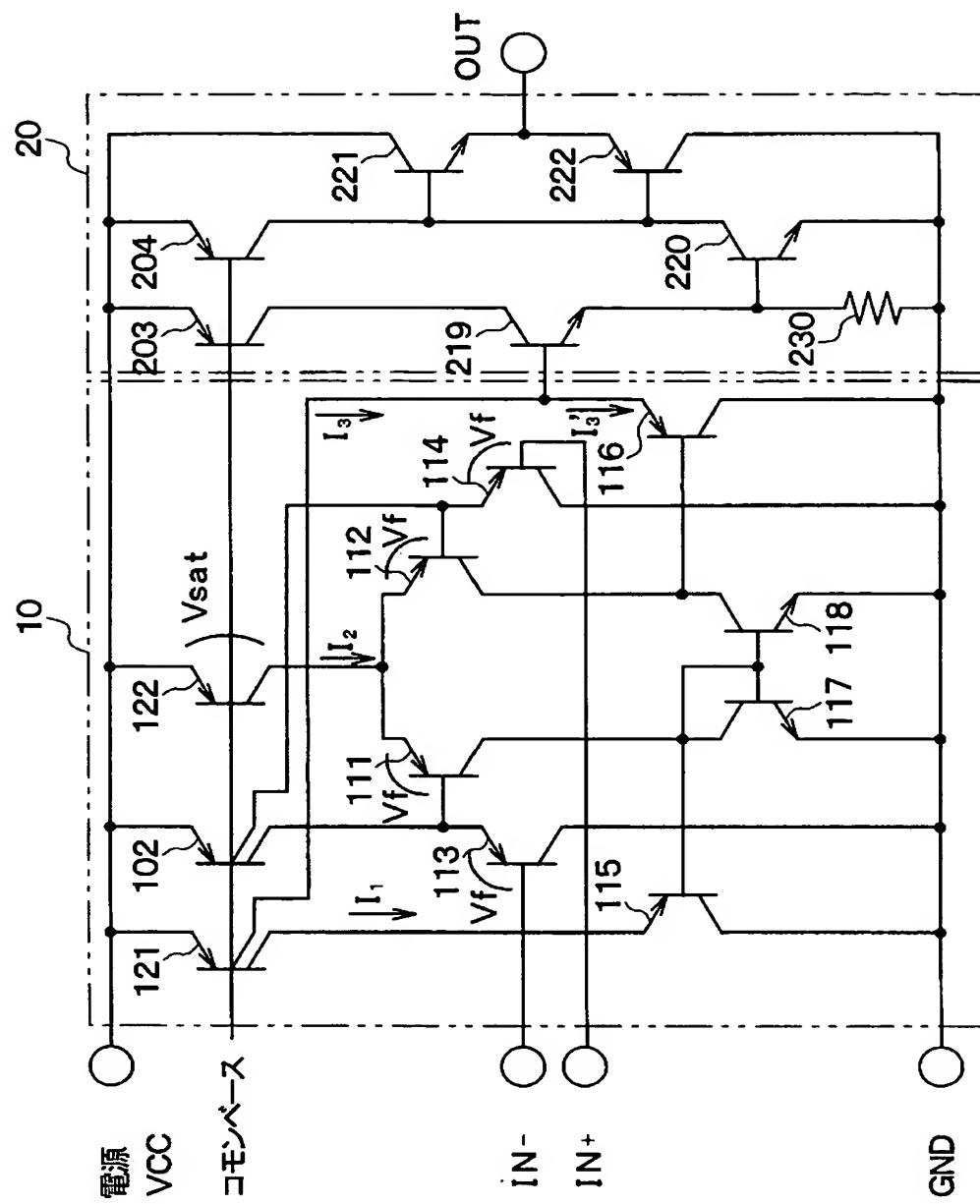
【図 6】



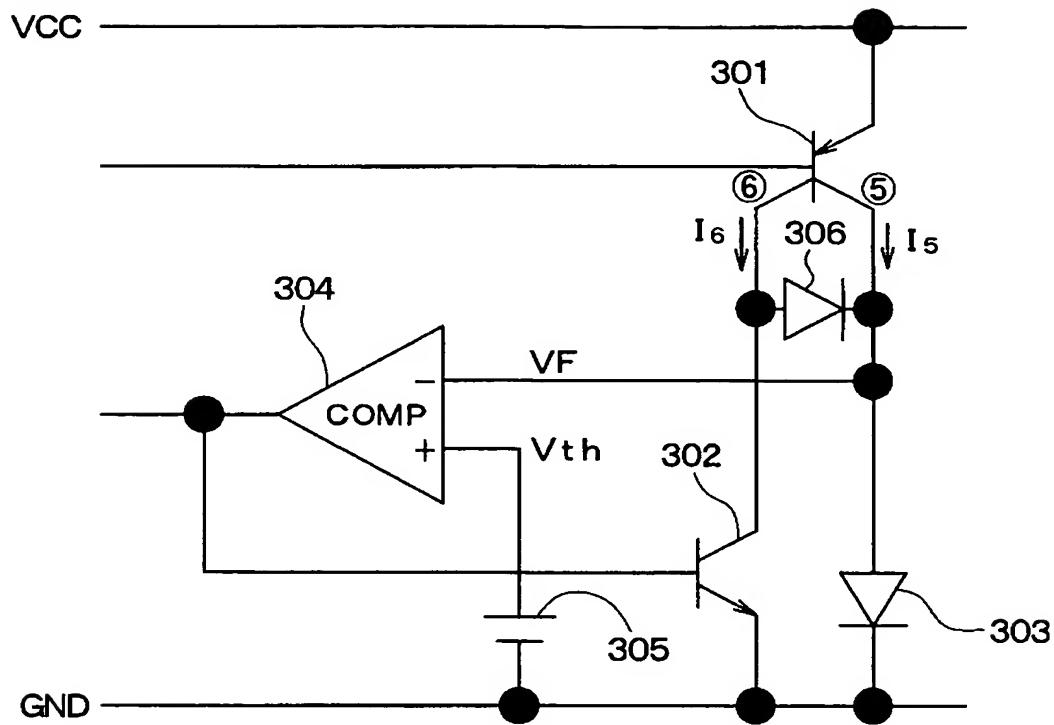
【図 7】



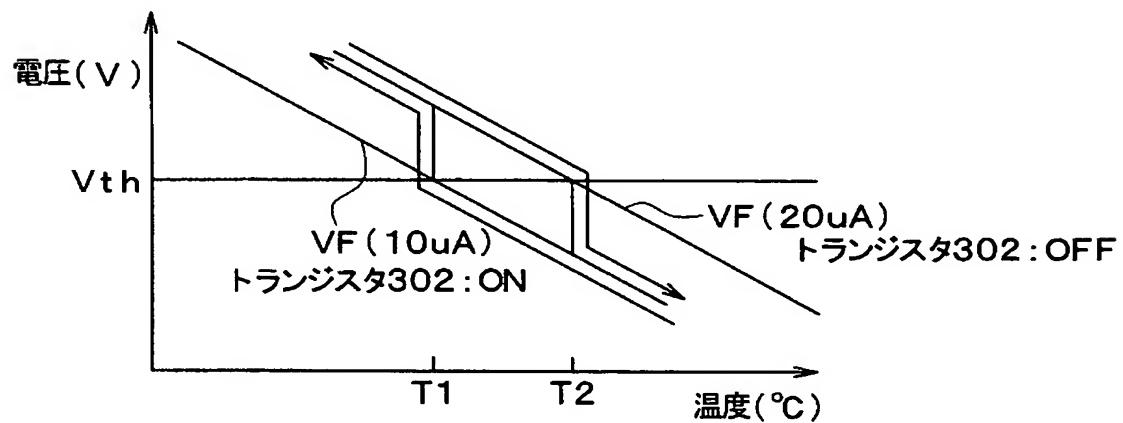
【図 8】



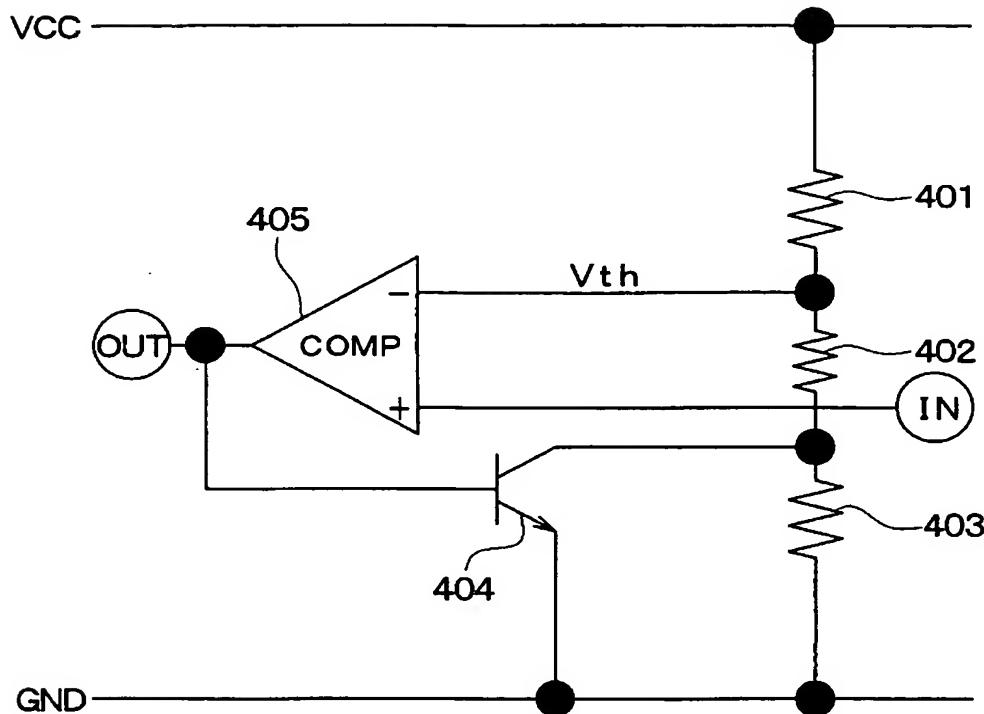
【図9】



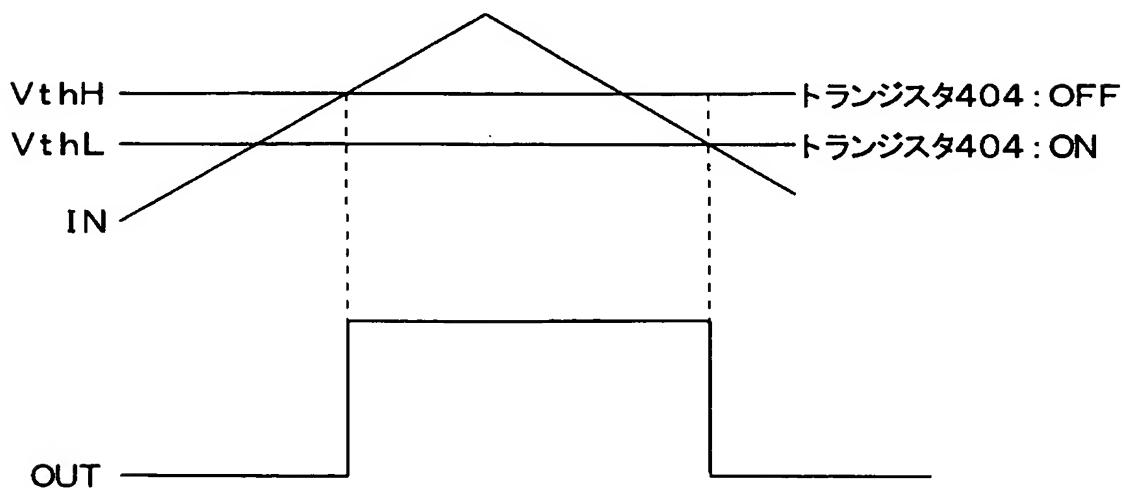
【図10】



【図11】



【図 1-2】



【書類名】要約書

【要約】

【課題】 ランジスタのペア性が悪くても、入力信号の電圧が同相入力電圧範囲外となつた場合の出力の論理レベルを所望のレベルに固定できるようにする。

【解決手段】 電流を供給するコレクタ(1)～(3)を有し、コレクタ(2)から供給される電流I2が流れないと、コレクタ(1)から供給される電流I3が増加し、コレクタ(3)から供給される電流I1は変化しないように構成されたマルチコレクタランジスタ101を設けた構成となっている。入力信号の電圧が同相入力電圧範囲外となってトランジスタ111～114がオフすると、電流I2が流れなくなるため、電流I3が増加する。このことにより、トランジスタ219がオン、トランジスタ220がオン、トランジスタ221がオフ、トランジスタ222がオンして、出力がローレベルに固定される。

【選択図】 図1

特願2003-373114

出願人履歴情報

識別番号 [000004260]

1. 変更年月日 1996年10月 8日

[変更理由] 名称変更

住所 愛知県刈谷市昭和町1丁目1番地
氏名 株式会社デンソー